

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-302444

(43) 公開日 平成4年(1992)10月26日

(51) Int.Cl.:

識別記号 厅内整理番号  
311 S 6918-4M

5

技術表示箇所

審査請求 来信請求 求項の数1(全5頁)

(21) 出處番號 檔案号3-67045

(71)出願人 000003078

(22) 出願日 平成3年(1991)3月29日

株式会社東芝

株式会社東芝

神奈川県川崎市幸区横川町72番地

(72)發明者 田舎 康隆

古籍影印

神奈川県横浜市磯子区新杉田町8番地  
株式会社東芝横浜支店内

(74) 代郡人，垂郡主，諱江，武帝

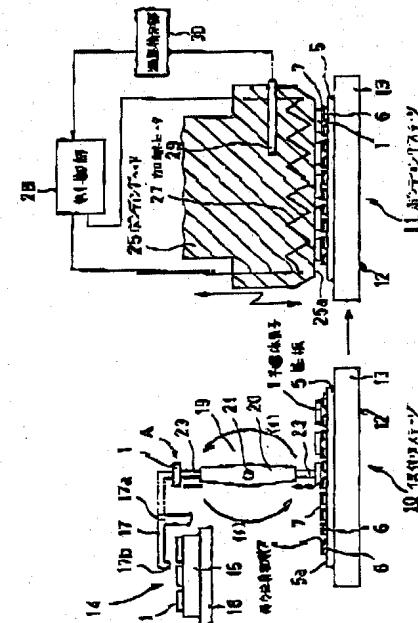
外壁工 鋼鐵 武昌

(54) 【発明の名称】 半導体素子の製造方法

(57) 【麥約】

**[構成]** 検数個の半導体素子1…をバンプが形成された面を下方に向けた状態で、異方性導電膜7を介して上記基板5の所定の位置に仮付けする仮付けステージ10と、上記複数個の半導体素子1…を一括的に加圧しつつ加熱することで上記半導体素子1のバンプと基板5の配線パターン6…とを電気的に接続させるフリップチップ方式のボンディングを行うボンディングステージ11とを有する。

【効果】複数の半導体素子について異方性導電膜を硬化させる作業が一回ですむので、作業工程が簡略化されると共に、実装のスループットを高めることができるという効果がある。



(2)

特開平4-302444

2

## 【特許請求の範囲】

【請求項 1】 バンプを有する半導体素子を配線パターンが形成された基板に熱硬化性の異方性導電膜を介してポンディングする半導体素子の実装方法において、複数個の半導体素子を異方性導電膜を介して上記基板の所定の位置に仮付けする仮付け工程と、上記複数個の半導体素子を上記基板に一括的に加圧しつか加熱することで上記半導体素子のバンプと基板の配線パターンとを電気的に接続させるポンディング工程とを有することを特徴とする半導体素子の実装方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は例えば、半導体素子をフリップチップ方式でポンディングする半導体素子の実装方法に関する。

## 【0002】

【従来の技術】 近年、液晶モジュールや感熱印字ヘッド、および、メモリカードのように半導体素子（ICやLSI等）を複数個用いるデバイスが増加している。そして、これらにおいては、いずれの場合も複数個の半導体素子を高密度でかつ薄型に基板に実装する必要がある。

【0003】 このような条件を満足する半導体素子の実装方式には、異方性導電膜を用いて半導体素子の電極と基板の配線パターンとを直接的に接続するフリップチップ方式がある。

【0004】 このフリップチップ方式を図2を参照して説明する。半導体素子1の素子形成面1a上に設けられた複数の電極パッド2…には、バンプ3（金属突起もししくは突起電極）がそれぞれ形成される。さらに、この半導体素子1は素子形成面1aを下方に向けた状態でポンディングヘッド4の加压面4aに保持され、基板5の素子搭載面5aに向かい合わせられる。この素子搭載面5aには上記バンプ3と接合させられる配線パターン6が形成されている。

【0005】 上記配線パターン6上には異方性導電膜7があらかじめ貼付されている。この異方性導電膜7は微細な導電粒子8…を均一に分散させたフィルム状の熱硬化性の接着剤である。

【0006】 上記半導体素子1のバンプ3と上記基板5の配線パターン6とが位置合わせされたのち、この半導体素子1が上記ポンディングヘッド4によって加熱され、上記異方性導電膜7を介在させて上記基板5の配線パターン6に加圧される。

【0007】 上記半導体素子1のバンプ3の形成された部位には段差があるので、上記異方性導電膜7のうち上記配線パターン6とバンプ3とに押し潰された部分は複数の導電粒子8…が互いに密着して電気的に接続される。それ以外の部分は複数の導電粒子8…が互いに接触するということがないので電気的に絶縁状態となる。こ

のことによって対向する上記半導体素子1のバンプ3と配線パターン6だけが電気的に接続されるのである。

## 【0008】

【発明が解決しようとする課題】 ところで、従来のフリップチップ方式の実装は、一枚の基板5に多数個の半導体素子1…を実装する場合においても、一つ一つの半導体素子1毎に上記異方性導電膜7を硬化させていた。

【0009】 しかし、上記異方性導電膜7を硬化させるためには、一般に30秒以上の加圧、加熱を行わなければならない。このため、一つの基板5上に数十個の半導体素子1…を実装する場合には、スループットが高められないということがあった。

【0010】 この発明はこのような事情に鑑みて成されたもので、多数個の半導体素子を基板に高密度に実装する場合において、実装のスループットが高い半導体素子の実装方法を提供することを目的とするものである。

## 【0011】

【課題を解決するための手段】 この発明は、バンプを有する半導体素子を配線パターンが形成された基板に熱硬化性の異方性導電膜を介してポンディングする半導体素子の実装方法において、複数個の半導体素子を異方性導電膜を介して上記基板の所定の位置に仮付けする仮付け工程と、上記複数個の半導体素子を上記基板に一括的に加圧しつか加熱することで上記半導体素子のバンプと基板の配線パターンとを電気的に接続させるポンディング工程とを有することを特徴とする。

## 【0012】

【作用】 このような構成によれば、基板に複数個の半導体素子を異方性導電膜を介して仮付けした後に、これら複数の半導体素子を一括的に加熱加圧することにより、異方性導電膜を硬化させる。このことで複数の半導体素子を基板上に一括的に実装することができる。

## 【0013】

【実施例】 以下、この発明の一実施例を図1を参照して説明する。なお、従来例と同一の構成要素には同じ符号を付して説明を省略する。

【0014】 この発明の実装方法が適用されるポンディング装置は、仮付け工程を行う仮付けステージ10とポンディング工程を行うポンディングステージ11とを有する。

【0015】 図中12は基板搬送装置である。この基板搬送装置12は、上面を載面とするテーブル13を有し、このテーブル13の載面には基板5が素子搭載面5aを上方に向けた状態で保持される。そして、基板搬送装置12は、仮付けステージ10およびポンディングステージ11において、基板5をXY方向に位置決め駆動と共に、この基板5を仮付けステージ10からポンディングステージ11へと搬送する。

【0016】 上記テーブル13に載置される基板5の素子搭載面5aには上記半導体素子1のバンプ3（図2に

(3)

特開平4-302444

3

示す)と接続される多数の配線パターン6が形成されている。そしてこれらの配線パターン6上にはあらかじめ異方性導電膜7が貼付されている。

【0017】上記仮付けステージ10の上方には素子供給装置14が設けられている。この素子供給装置14は、複数個の半導体素子1…を収納したトレイ15を位置決め駆動する供給テーブル16と、上記半導体素子1をトレイ15から取り出して所定の位置Aに供給するピックアップノズル17を有する。

【0018】上記ピックアップノズルは基端部17aを中心として水平方向に回動自在に設けられていて、先端部17bに半導体素子1を真空吸着した後に回動駆動されることで、この半導体素子1を後述する吸着ノズル23が位置決めされる位置Aに搬送する。

【0019】また、上記トレイ15に収納された複数個の半導体素子1は、それぞれ、バンプ3が形成された素子形成面を上方に向かた状態で載せられていて、この状態で上記ピックアップノズルに吸着保持されて位置Aに供給される。

【0020】上記位置Aの下方には、半導体素子1を反転させ、素子形成面を下方に向かせる反転装置19が設けられている。この反転装置19はアーム状の回転体20を有する。この回転体20は長手方向中途部を水平軸21によって枢支され、長手方向が直立になるよう180度ずつステップ式に回動駆動されるようになっている。(図に矢印で示す)

【0021】さらに、上記回転体20の長手方向両端には、回転体20の長手方向外方に突出自在なる一对の吸着ノズル23、23が設けられている。すなわち、これらの吸着ノズル23、23は上記水平軸21に対して点対称に設けられていて、上記一方の吸着ノズル23が上方に位置し上記位置Aに対向しているときには、他方の吸着ノズル23は下方に位置して基板5と対向するようになっている。

【0022】位置Aにおいて、上記ピックアップノズル17によって、一方の吸着ノズル23に半導体素子1がその素子形成面を上方に向かた状態で受け渡されると、上記反転装置19は矢印で示すように180度ステップ式に回動駆動され、半導体素子1の素子形成面を下方に向かた状態に反転させる。このことで上記半導体素子1の素子形成面は基板5と向かいあわせられる。

【0023】半導体素子1がその素子形成面を下方に向かた状態で位置決めされたならば、上記基板5はXY方向に駆動され、上記半導体素子1のバンプ3とそのバンプ3が接合される配線パターン6とが対向位置決まる。

【0024】そして、上記一方の吸着ノズル23は下方に向か突出駆動され、上記半導体素子1のバンプ3を上記配線パターン6に貼付された異方性導電膜7に当接させる。この状態で吸引力を解除すると、上記異方性導電膜

7の上面は粘着力を有するので上記半導体素子1は基板5に仮付けされる。

【0025】一方、上述の動作と並行して、上記ピックアップノズル17は、次に収着される半導体素子1を位置Aに供給する。この半導体素子1は他方の吸着ノズル23によって吸着保持され、上述の一方の吸着ノズル23と同じ動作を行うことで、その半導体素子1を上記基板5上の別の位置に接着する。

【0026】一方の吸着ノズル23と他方の吸着ノズル23がこのような動作を交互に繰り返すことで、上記基板5には複数個の半導体素子1…が異方性導電膜7を介して順次仮付けされる。このことで仮付け工程が終了する。仮付け工程を終えた基板5は基板搬送装置12によってポンディングステージ11に搬送され、所定の位置に位置決めされる。

【0027】このポンディングステージ11の上方には、基板5に仮付けされた複数個の半導体素子1…を一括的にポンディングするポンディングヘッド25が上下移動自在に設けられている。このポンディングヘッド25の下端面は、平坦に形成され、複数個の半導体素子1…を一度にポンディングすることができる大きさの加圧面25aとなっている。

【0028】さらに、このポンディングヘッド25の下端部内にはこのポンディングヘッドを加熱する加熱ヒータ27が埋設されている。この加熱ヒータ27は制御部28に接続され、この制御部28の出力信号によって作動するようになっている。

【0029】また、上記ポンディングヘッド25の下端部にはこのポンディングヘッド25の温度を測定する温度センサ29が設けられている。この温度センサ29は温度検知部30に接続され、上記ポンディングヘッド25内の温度が検知される。そして、この温度検知信号は上記制御部28に入力されるようになっている。

【0030】すなわち、上記制御部28は、上記温度検知部30から検知信号が入力されると、その検知信号に基づいて上記加熱ヒータ27を作動させる。このことにより加熱ヒータ27は上記ポンディングヘッド25の下端部の温度を上記異方性導電膜7を硬化させるのに最適な温度、例えば190度に加熱保温する。

【0031】上記ポンディングヘッド25は下端部の温度を190度に保った状態で、下方に駆動され、上記多数個の半導体素子1…を上記基板5の方向に一定の圧力で押し付ける。そして、異方性導電膜7が硬化するのに必要な時間、例えば30秒間この状態を保つ。このことで上記異方性導電膜7は上記バンプ3と配線パターン6とを電気的に接続した状態で硬化する。

【0032】30秒経過したならば、上記加熱ヒータ27による加熱は停止され、上記基板5および半導体素子1…は自然冷却される。この間、上記ポンディングヘッド25は上記半導体素子1…を上記基板5に押し付けた

(4)

特開平4-302444

5

状態を保っている。上記ポンディングヘッド25の温度が約100度以下に下がったならば、ポンディングヘッド25は上昇駆動される。このことで、一つの基板に対する多数個の半導体素子1…を一括的にポンディングするポンディング工房が終了する。

【0033】このような構成によれば、異方性導電膜7の硬化を一つ一つの半導体素子1について行うではなく、多数個の半導体素子1…を基板5に一旦仮付けした後に、一括的に硬化させるようにしたので、ポンディング\*

$$T = (a \times 4) + b + c + (d \times 4) + (e \times 4) + (30 \times 4)$$

本発明では、

$$T = (a \times 4) + (b \times 2) + (c \times 2) + (d \times 4) + (e \times 6) + 30$$

その差は、

$$90 - (b + c) - 2 \times e \quad (\text{秒})$$

である。仮にb、cが共に5秒、eが1秒であるとする

$$90 - (5 + 5) - 2 \times 1 = 78 \quad (\text{秒})$$

本発明の方が従来の技術に比較して78秒も早いということになる。

【0035】これを一つの半導体素子についてみれば、 $78 / 4 = 19.5$  (秒)となる。このことより、従来に比べ本発明の半導体素子の実装方法はスループットがかなり高いといえる。

【0036】また、上述のような構成によれば、加熱により異方性導電膜7を硬化させたのちに、ポンディングヘッド25を直ぐに上昇駆動するのではなく、上記半導体素子1および基板5の温度が所定の温度(100度以下)に低下するまで加圧状態を保つようとしたので、冷却により基板5と半導体素子1の収縮量に差が生じて異方性導電膜7内に残留応力が発生しても、この残留応力によって上記半導体素子1が基板5から浮き上がるのを防止することができる。このことにより、バンプ3と配線パターン6が離間して導電不良が生じることを有効に防止することができる。なお、この発明は上記一実施例に限定されるものではなく、発明の要旨を変更しない範囲で種々変形可能である。例えば、上記仮付けステージ10とポンディングステージ11は一台の装置に組み込まれていても良いし、別々の装置に設けられていても良い。

【0037】また、上記一実施例においては、異方性導電膜7を硬化させた後に、一定時間加圧状態を保持するようにしたが、異方性導電膜7を硬化させた後に直ぐにポンディングヘッド25を上昇させ、加圧状態を解除するようにしても良い。

【0038】また、上記異方性導電膜7の硬化温度は190度としたがこれは異方性導電膜7の特性により変化するものである。また、この硬化時間も上記一実施例においては30秒としたが、この硬化時間も異方性導電膜

\* グ時間が短縮される。例えば、一つの基板に4つのIC(半導体素子1)を実装する場合のポンディング時間を従来例と比較してみると以下のようになる。

【0034】例えば、ICの搬送時間をa秒、基板のロード時間をb秒、アンロード時間をc秒、ICの位置合わせ時間をd秒、ポンディングヘッドの上下動作時間をe秒とする。そして、異方性導電膜の硬化時間が30秒とすると、ポンディング時間Tは、従来技術では、

$$T = (a \times 4) + b + c + (d \times 4) + (e \times 4) + (30 \times 4)$$

7の特性によって変化するものであり、例えば60秒としても良い。

【0039】さらに、上記一実施例においては加圧状態を解除する温度を100度以下としたが、これは、その時の外気の温度および基板5の余熱温度によって変更される。

【0040】また、上記一実施例においては、半導体素子1を基板5に仮付けするのに反転装置19を用いたが、このような反転装置19に限られるものではなく、要は半導体素子1を素子搭載面を下方に向かた状態で基板5に仮付けできる構成の装置であれば良い。

【0041】さらに、上記一実施例においては、複数の半導体素子を一つ一つ反転させる反転装置19を用いたが、すべての半導体素子を一度に反転させ、上記基板に一括的に仮付けするような反転装置を用いても良い。

【0042】

【発明の効果】以上説明したように、この発明の半導体素子の実装方法は、複数個の半導体素子を上記基板の所定の位置に異方性導電膜を介して仮付けした後に、上記複数個の半導体素子を上記基板に一括的に加圧しつつ加熱することで上記半導体素子のバンプと基板の配線パターンとを電気的に接続させる。

【0043】このような構成によれば、複数の半導体素子について異方性導電膜を硬化させる作業が一回ですむので、作業工程が簡略化されると共に、実装のスループットを高めることができる。

【図面の簡単な説明】

40 【図1】この発明の一実施例を示す概略構成図。

【図2】異方性導電膜を用いた一般的なフリップチップ方式の実装構造を示す側断面図。

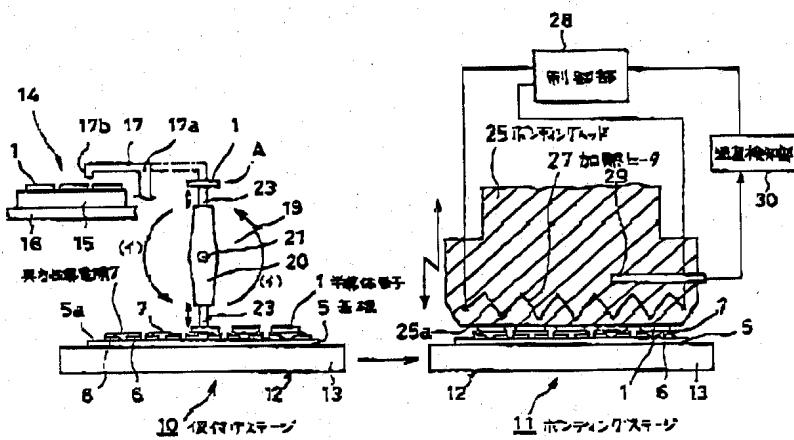
【符号の説明】

1…半導体素子、5…基板、6…配線パターン、7…異方性導電膜、10…仮付けステージ、11…ポンディングステージ、19…反転装置、25…ポンディングヘッド、27…加熱ヒーター。

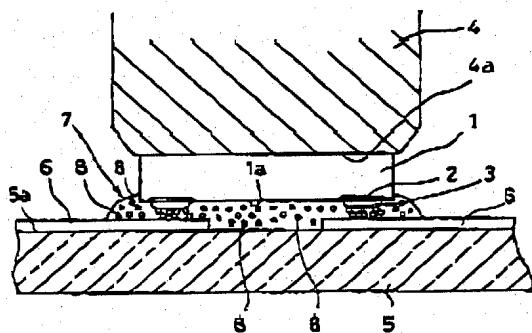
(5)

昭平4-302444

【図1】



【図2】





(19)

JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04302444 A**

(43) Date of publication of application: 26.10.92

(51) Int. Cl.

H01L 21/60

(21) Application number: 03067045

(22) Date of filing: 29.03.91

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: KOGA YASUTAKA

**(54) MOUNTING METHOD OF SEMICONDUCTOR ELEMENT**

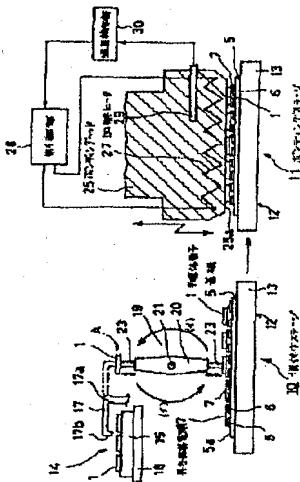
(57) Abstract:

**PURPOSE:** To harden an anisotropically conductive film and to mount a plurality of semiconductor elements on a substrate by a method wherein, after the plurality of semiconductor elements have been bonded temporarily on the substrate via the anisotropically conductive film, the plurality of semiconductor elements are heated and pressurized collectively.

**CONSTITUTION:** A suction nozzle 23 on one side protrudes to the downward direction; a bump 3 on a semiconductor element 1 is brought into contact with an anisotropically conductive film 7 which has been pasted on an interconnection pattern 6; and suction power is released. Then, since the surface of the anisotropically conductive film 7 is provided with adhesive power, the semiconductor element 1 is bonded temporarily to a substrate 5. The substrate 5 which has finished its temporarily bonding process is conveyed to a bonding stage 11 by using a substrate conveyance device 12; it is positioned. A bonding head 25 is driven downward in a state that the temperature at its lower-end part is kept at 190°C; it presses many semiconductor elements 1,... in the direction of the substrate 5 at a definite pressure. The anisotropically conductive film 7 is hardened in a state that the bump 3 and the wiring

pattern 6 are connected electrically. Thereby, the operating process of the title mounting method is simplified, and the throughput of the mounting method can be increased.

COPYRIGHT: (C)1992,JPO&Japio



(54) [Title of the Invention] Method for Packaging Semiconductor Element

(57) [Abstract]

[Arrangement] Provided are: a temporary setting stage 10 for temporarily mounting a plurality of semiconductor elements 1... at a predetermined position of a substrate 5 via an anisotropic electrically conductive film 7 while a face having a bump formed thereon is oriented downwardly; and a bonding stage 11 for carrying out bonding in a flip chip system in which the plurality of semiconductor elements 1... are pressurized in all, and are heated, thereby electrically connecting the bump of the semiconductor element 1 and a wiring pattern 6 of the substrate 5 with each other.

[Advantageous Effect] Only one work of curing an anisotropic electrically conductive film will suffice with respect to a plurality of semiconductor elements. Thus, there is advantageous effect the work steps are simplified, and packaging throughput can be enhanced.

7 Anisotropic electrically conductive film

1 Semiconductor element

5 Substrate

10 Temporary setting stage

28 Control section

30 Temperature sensing section

25 Bonding head

27 Heating heater

11 Bonding stage

[Claims]

[Claim 1] A semiconductor element packaging method for bonding semiconductor elements, each of which has a bump, via a thermo-setting anisotropic electrically conductive film on a substrate having a wiring pattern formed thereon, said method characterized by comprising:

a temporarily mounting step of temporarily mounting a plurality of semiconductor elements at predetermined positions of the substrate via an anisotropic electrically conductive film; and

a bonding step of pressurizing the plurality of semiconductor elements onto the substrate in all, and heating them, thereby electrically connecting the bump of the semiconductor element and the wiring pattern of the substrate with each other.

[Detailed Description of the Invention]

[0001]

[Technical Field to Which the Invention Pertains]

The present invention relates to a semiconductor element packaging method for bonding semiconductor elements in a flip chip system, for example.

[0002]

[Prior Art] In recent years, there has increased in number a device using a plurality of semiconductor elements (such as IC or LSI) like a liquid crystal module or a thermo-sensitive

printing head and a memory card. In these devices, in any case as well, it is required to package a plurality of semiconductor elements on a substrate at a high density and thinly.

[0003] A system of packaging semiconductor elements which meet such conditions includes: a flip chip system of directly connecting an electrode of a semiconductor element and a wiring pattern of a substrate with each other by using an anisotropic electrically conductive film.

[0004] This flip chip system will be described referring to Fig. 2. Bumps 3 (metal protrusions or protrusive electrodes) are provided at a plurality of electrode pads 2... provided on an element forming face 1a of a semiconductor element 1, respectively. Further, this semiconductor element 1 is held at a pressurization face 4a of a bonding head 4 while an element forming face 1a is oriented downwardly, and is opposed to an element mount face 5a of a substrate 5. A wiring pattern 6 bonded with the bump 3 is formed on this element mount face 5a.

[0005] An anisotropic electrically conductive film 7 is adhered in advance onto the wiring pattern 6. This anisotropic electrically conductive film is a thermo-setting bonding agent in a film shape in which fine electrically conductive particles 8... are uniformly dispersed.

[0006] After the bump 3 of the semiconductor element 1 and the wiring pattern 6 of the substrate 5 are aligned with each other, this semiconductor element 1 is heated by the bonding head 4. Then, the above anisotropic electrically conductive film 7 is interposed, and the element is pressurized onto the wiring

pattern 6.

[0007] Since a step is provided at a site at which the bump 3 of the semiconductor element 1 is formed, sites crushed by the wiring pattern 6 and bump 3, of the anisotropic electrically conductive film 7, are electrically connected to each other while a plurality of electrically conductive particles 8... come into intimate contact with each other. The other parts are electrically insulated, since the plurality of electrically conductive particles 8... do not come into contact with each other. In this manner, only the bump 3 of the opposite semiconductor element 1 and the wiring pattern are electrically connected with each other.

[0008]

[Problems to Be Solved by the Invention]

In the meantime, in packaging of a conventional flip chip system, even in the case where a number of semiconductor elements 1... are packaged on one substrate 5, the above anisotropic electrically conductive films 7 have been cured for each of the semiconductor elements 1.

[0009] However, in order to cure the above anisotropic electrically conductive film 7, in general, pressurization/heating of 30 seconds or more must be carried out. Because of this, in the case where some tens of semiconductor elements 1... are packaged on one substrate 5, there has been a circumference that throughput cannot be enhanced.

[0010] The present invention has been made in view of such a

circumstance. It is an object of the present invention to provide a semiconductor element packaging method with its high packaging throughput.

[0011]

[Means for Solving the Problems]

Accordingly, the present invention is characterized by comprising:

a temporarily mounting step of temporarily mounting a plurality of semiconductor elements at predetermined positions of the substrate via an anisotropic electrically conductive film; and

a bonding step of pressurizing the plurality of semiconductor elements onto the substrate in all, and heating them, thereby electrically connecting the bump of the semiconductor element and the wiring pattern of the substrate with each other.

[0012]

[Effects]

With such arrangement, after a plurality of semiconductor elements have been temporarily mount on a substrate via an anisotropic electrically conductive film, these plurality of semiconductor elements are heated and pressurized in all, whereby an anisotropic electrically conductive film is cured. In this manner, a plurality of semiconductor elements can be mounted in all on a substrate.

[0013]

[Embodiments] Hereinafter, the present invention will be

described below in detail referring to the accompanying drawings. Like constituent elements of the prior art are designated by like reference numbers. A duplicate description is omitted here.

[0014] A bonding device to which the mounting method of the present invention is applied has a temporary setting stage 10 for carrying out the temporary setting step and a bonding stage 11 for carrying out the bonding step.

[0015] In the figure, reference numeral 12 denotes a substrate carrier device. This substrate carrier device 12 has a table whose top face is a placement face, and the substrate 5 is held on the placement face of this table 13 while the element mount face is oriented upwardly. Then, the substrate carrier device 12 drives the substrate 5 to be positioned in an XY direction at the temporary mount stage 10 and bonding stage 11, and this substrate 5 is carried from the temporary mount stage 10 to the bonding stage 11.

[0016] A number of wiring patterns 6 connected to the bump 3 (shown in Fig. 2) of the semiconductor element 1 is formed at an element mount face 5a placed on the table 13. Then an anisotropic electrically conductive film 7 is adhered in advance on these wiring patterns 6.

[0017] An element supply device 14 is provided upwardly of the temporary mount stage 10. This element supply device 14 has a supply table 16 for driving a tray 15 having a plurality of semiconductor elements 1... housed therein to be positioned; and a pickup nozzle 17 for removing the semiconductor element

1 from the tray 15, and supplying the element to a predetermined position A.

[0018] The above pickup nozzle is turnably provided in a horizontal direction around a proximal end 17a, the semiconductor element 1 is vacuum adsorbed at a tip end 17b, and then, is turnably driven, whereby this semiconductor element 1 is carried out to a position A at which an adsorption nozzle 23 described later is positioned.

[0019] In addition, a plurality of semiconductor elements 1 housed in the tray 15 is placed while the element forming face having the bump 3 formed thereon is oriented upwardly. In this state, the bump 3 is held to be adsorbed by the pickup nozzle, and is supplied to the position A.

[0020] An inverter device 19 for inverting the semiconductor element 1 and orienting the element forming face downwardly is provided downwardly of the position A. This inverter device 19 has an arm shaped rotating element 20. This rotating element 20 is pivoted by a horizontal shaft 21 at the intermediate part in a longitudinal direction to be rotationally driven in a stepwise manner by 180 degrees in this state (indicated by the arrow "ʃ" in the figure).

[0021] Further, a pair of suction nozzles 23, 23 that are freely protrusive outwardly in the longitudinal direction of the rotating element 20 are provided at both ends in the longitudinal direction of the rotating element 20. That is, these adsorption nozzles 23, 23 are provided symmetrically in a point-to-point manner. When one of the adsorption nozzles 23 is positioned

upwardly, and is opposed to the above position A, the other adsorption nozzle 23 is positioned downwardly so as to be opposed to the substrate 5.

[0022] At the position A, when the semiconductor element 1 is delivered while its element forming face is oriented upwardly to one of the adsorption nozzles 23, the inverter device 19 is turnably driven in a stepwise manner by 180 degrees as indicated by the arrow 1, and the element forming face of the semiconductor element 1 is inverted while the element forming face of the semiconductor element 1 is oriented downwardly. In this manner, the element forming face of the semiconductor element 1 is opposed to the substrate 5.

[0023] If the semiconductor 1 is positioned while its element forming face is oriented downwardly, the substrate 5 is drive in an XY direction, and the bump 3 of the semiconductor element 1 and a wiring pattern 6 with which the bump 3 is to be bonded are positioned to be opposed to each other.

[0024] Then, one of the absorption nozzles 23 is driven to be protruded downwardly, and the bump 3 of the semiconductor element 1 is abutted against an anisotropic electrically conductive film 7 adhered to the wiring pattern 6. If suction force is released in this state, the top face of the anisotropic electrically conductive film 7 has adhesive force, and the above semiconductor element 1 is temporarily mounted to the substrate 5.

[0025] On the other hand, in parallel to the above described operation, the pickup nozzle 17 supplies the next mounted

semiconductor element 1 to the position A. This semiconductor 1 is held to be adsorbed by the other adsorption nozzle 23, and carried out the same operation as one of the above described absorption nozzle 23, whereby the semiconductor element is mounted at another position on the substrate 5.

[0026] One of the adsorption nozzles 23 and the other adsorption nozzle 23 repeat such operation alternately, whereby a number of semiconductor elements 1... are temporarily mounted sequentially to the substrate 5 via the anisotropic electrically conductive film 7. In this manner, the temporary mounting step terminates. The substrate whose temporary mounting step has terminated is carried to a bonding stage 11 by means of a substrate carrier device 12, and is positioned at a predetermined position.

[0027] Upwardly of this bonding stage 11, a bonding head 15 for bonding a plurality of semiconductor elements 1... temporarily mounted to the substrate 5 in all is provided to be vertically movable. A lower end face of a plurality of semiconductor elements 1... is formed to be flat, and is obtained as a pressurization face 25a in size capable of bonding a plurality of semiconductor elements 1... in all.

[0028] Further, a heating heater 27 for heating this bonding head is embedded in the lower end of this bonding head 25. This heating heater 27 is connected to a control section 28 so as to be actuated by an output signal of this control section 28.

[0029] In addition, a temperature sensor 29 for measuring a temperature of this bonding head 25 is provided at a lower end

of the bonding head 25. This temperature sensor 29 is connected to a temperature sensing section 30, and the temperature in the bonding head 25 is sensed. Then, this temperature sensing signal is intended to be inputted to the control section 28.

[0030] That is, the control section 28 actuates the heating heater 27 based on the sensing signal when the sensing signal is inputted from the temperature sensing section 30. In this manner, the heating heater 27 carries out heating to maintain the temperature at the lower end of the bonding head 25 at a temperature suitable to curing the anisotropic electrically conductive film 7, for example, 190 degrees.

[0031] The bonding head 25 is driven downwardly while the temperature at the lower end is kept at 190 degrees, and a number of the semiconductor elements 1... are pressed at a predetermined pressure in the direction of the substrate 5. Then, this state is kept for a time interval required for the anisotropic electrically conductive film 7 to be cured, for example, 30 seconds. In this manner, the anisotropic electrically conductive film 7 is cured while the bump 3 and wiring pattern 6 are electrically connected to each other.

[0032] After an elapse of 30 seconds, heating due to the heating heater 27 is stopped, and the substrate 5 and semiconductor elements 1... are naturally cooled. In this duration, the bonding head 25 is kept in a state in which the above semiconductor elements 1... are pressed against the substrate 5. If the temperature of the bonding head 25 drops to about 100 degrees or less, the bonding head 25 is driven to rise. In

this manner, the bonding step of bonding a number of semiconductor elements 1... with one substrate in all terminates.

[0033] With such arrangement, instead of curing of the anisotropic electrically conductive film 71 relevant to each of the semiconductor elements 1, a number of semiconductor elements 1... are temporarily mounted to the substrate 5, and then, is cured in all. Thus, the bonding time is reduced. For example, when the bonding time when four ICs (semiconductor elements 1) are packaged on one substrate is compared with that in the prior art, the following result is obtained.

[0034] For example, assume that an IC carrying time is "a" seconds, a substrate loading time is "b" seconds, an unloading time is "c" seconds, an IC alignment time is "d" seconds, and a vertical movement time of the bonding head is "e" seconds. Then, assuming that the curing time of the anisotropic electrically conductive film is 30 seconds, the bonding time T is obtained as follows.

In the prior art,  $T = (a \times 4) + b + c + (d \times 4) + (c \times 4) + (30 \times 4)$ ; and

in the present invention,  $T = (a \times 4) + (b \times 2) + (c \times 2) + (d \times 4) + (e \times 6) + 30$ .

The difference is  $90 - (b + c) - 2 \times e$  (seconds)

Assuming that "b" and "c" are 5 seconds, and "e" is 1 seconds,

$$90 - (5 + 5) - 2 \times 1 = 78 \text{ (seconds).}$$

Therefore, T in the present invention is 78 seconds

faster than that in the prior art.

[0035] If this applies to one semiconductor element,  $78/4 = 19.5$  (seconds). In this manner, the semiconductor element packaging method of the present invention is much higher in throughput as compared with the prior art.

[0036] In addition, with the above described arrangement, instead of curing the anisotropic electrically conductive film 7 by bonding, followed by driving the bonding head 25 to rise immediately, the pressurization state is kept until the temperatures of the semiconductor element 1 and substrate 5 are lowered at a predetermined temperature (100 degrees or less). Thus, even if there occurs a difference in contraction quantity of the substrate 5 and semiconductor element 1 due to cooling, and the residual stress occurs in the anisotropic electrically conductive film 7, the semiconductor element 1 can be prevented from being floated from the substrate 5 due to the residual stress. In this manner, the spacing of bump 3 and wiring pattern 6 can from each other and an occurrence of an electrically conduction failure can be effectively prevented. The present invention is not limited to the above described one embodiment, and various modification can occur without departing from the spirit of the invention. For example, the above temporary mounting stage 10 and bonding stage 11 may be incorporated in one device or may be provided separately.

[0037] In addition, in the above described one embodiment, although the anisotropic electrically conductive film 7 is cured, and then, a pressurization state is kept for a

predetermined time, the bonding head 25 is risen immediately after curing the anisotropic electrically conductive film 7 so as to release the pressurization state.

[0038] In addition, although the curing temperature of the anisotropic electrically conductive film 7 has been set to 190 degrees, this temperature varies depending on the characteristics of the anisotropic electrically conductive film 7. In addition, although the curing time has been set to 30 seconds, this curing time as well varies depending on the characteristics of the anisotropic electrically conductive film 7, which may be 60 seconds, for example.

[0039] Further, in the above described one embodiment, although the temperature of releasing the pressurization state has been set to 100 degrees or less, this is changed depending on the atmospheric temperature and the after-heat temperature of the substrate 5.

[0040] Furthermore, in the above one embodiment, although the inverter device 19 has been employed for temporarily mounting the semiconductor element 1 to the substrate 5, the present invention is not limited to such an inverter device 19. Another device may be employed as long as such another device is arranged so as to temporarily mount the semiconductor element 1 to the substrate 5 while its element mount face is oriented downwardly.

[0041] Moreover, in the above described embodiment, although the inverter device has been employed for inverting each of a plurality of semiconductor elements, an inverter device may be employed such that all the semiconductor elements are inverted

in all so as to be temporarily mounted to the substrate in all.

[0042]

[Advantageous Effect of the Invention]

As has been described above, according to a semiconductor element packaging method of the present invention, after a plurality of semiconductor elements are temporarily mounted at a predetermined position of the substrate via an anisotropic electrically conductive film, the plurality of semiconductor elements are pressurized against the substrate in all, and are heated, whereby the bump of the semiconductor element and the wiring pattern of the substrate are electrically connected with each other.

[0043] With such arrangement, only one work of curing an anisotropic electrically conductive film relevant to a plurality of semiconductor elements will suffice. Thus, the work steps are simplified, and the packaging throughput can be enhanced.

[Brief Description of the Drawings]

[Fig. 1]

Fig. 1 is a schematic diagram depicting an embodiment of the present invention.

[Fig. 2]

Fig. 2 is a sectional side view showing a packaging structure of a general flip chip system using an anisotropic electrically conductive film.

[Reference Numerals]

1.... Semiconductor element

- 5... Substrate
- 6... Wiring pattern
- 7... Anisotropic electrically conductive film
- 10... Temporary mounting stage
- 11... Bonding stage
- 19... Inverter device
- 25... Bonding head
- 27... Heating heater

[FIG. 1]

- 28 CONTROL SECTION
- 25 BONDING HEAD
- 27 HEATING HEATER
- 30 TEMPERATURE SENSING SECTION
- 10 TEMPORARY MOUNTING STAGE
- 11 BONDING STAGE

[FIG. 2]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-302444

(43) 公開日 平成4年(1992)10月26日

(51) Int'l Cl.<sup>5</sup>

識別記号 序内整理番号  
311 S 6918-4M

F 1

技術表示箇所

審査請求 未請求 請求項の数 1 (全 5 頁)

(21)出願番号 特願平3-67045

(22) 出願日 平成3年(1991)3月29日

(71)出題人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 奉明者 古賀 康隆

神奈川県横浜市磯子区新

式会社東芝横浜事業所内

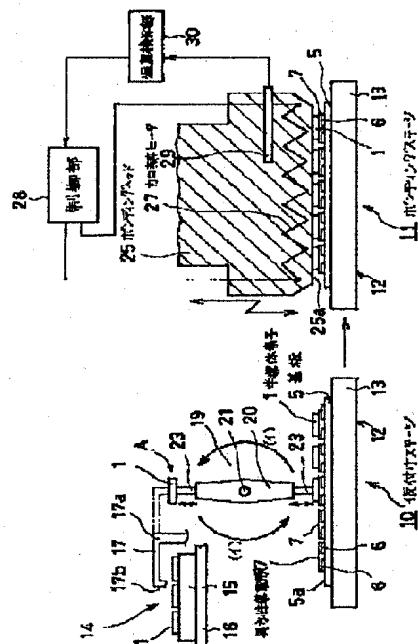
(74)代理人 弁理士 鰐江 武蔵

(54) 【発明の名称】 半導体素子の実装方法

(57) 【要約】

【構成】 複数個の半導体素子1…をバンプが形成された面を下方に向けた状態で、異方性導電膜7を介して上記基板5の所定の位置に仮付けする仮付けステージ10と、上記複数個の半導体素子1…を一括的に加圧しつつ加熱することで上記半導体素子1のバンプと基板5の配線パターン6とを電気的に接続させるフリップチップ方式のボンディングを行うボンディングステージ11とを有する。

**【効果】** 複数の半導体素子について異方性導電膜を硬化させる作業が一回ですむので、作業工程が簡略化されると共に、実装のスループットを高めることができるという効果がある。



## 【特許請求の範囲】

【請求項1】 パンプを有する半導体素子を配線パターンが形成された基板に熱硬化性の異方性導電膜を介してポンディングする半導体素子の実装方法において、複数個の半導体素子を異方性導電膜を介して上記基板の所定の位置に仮付けする仮付け工程と、上記複数個の半導体素子を上記基板に一括的に加圧しつつ加熱することで上記半導体素子のパンプと基板の配線パターンとを電気的に接続させるポンディング工程とを有することを特徴とする半導体素子の実装方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は例えば、半導体素子をフリップチップ方式でポンディングする半導体素子の実装方法に関する。

## 【0002】

【従来の技術】 近年、液晶モジュールや感熱印字ヘッド、および、メモリカードのように半導体素子（ICやLSI等）を複数個用いるデバイスが増加している。そして、これらにおいては、いずれの場合も複数個の半導体素子を高密度かつ薄型に基板に実装する必要がある。

【0003】 このような条件を満足する半導体素子の実装方式には、異方性導電膜を用いて半導体素子の電極と基板の配線パターンとを直接的に接続するフリップチップ方式がある。

【0004】 このフリップチップ方式を図2を参照して説明する。半導体素子1の素子形成面1a上に設けられた複数の電極パッド2…には、パンプ3（金属突起もしくは突起電極）がそれぞれ形成される。さらに、この半導体素子1は素子形成面1aを下方に向けた状態でポンディングヘッド4の加圧面4aに保持され、基板5の素子搭載面5aに向かい合わせられる。この素子搭載面5aには上記パンプ3と接合させられる配線パターン6が形成されている。

【0005】 上記配線パターン6上には異方性導電膜7があらかじめ貼付されている。この異方性導電膜は微細な導電粒子8…を均一に分散させたフィルム状の熱硬化性の接着剤である。

【0006】 上記半導体素子1のパンプ3と上記基板5の配線パターン6とが位置合わせされたのち、この半導体素子1が上記ポンディングヘッド4によって加熱され、上記異方性導電膜7を介在させて上記基板5の配線パターン6に加圧される。

【0007】 上記半導体素子1のパンプ3の形成された部位には段差があるので、上記異方性導電膜7のうち上記配線パターン6とパンプ3とに押し潰された部分は複数の導電粒子8…が互いに密着して電気的に接続される。それ以外の部分は複数の導電粒子8…が互いに接触するということがないので電気的に絶縁状態となる。こ

のことによって対向する上記半導体素子1のパンプ3と配線パターン6だけが電気的に接続されるのである。

## 【0008】

【発明が解決しようとする課題】 ところで、従来のフリップチップ方式の実装は、一枚の基板5に多数個の半導体素子1…を実装する場合においても、一つ一つの半導体素子1毎に上記異方性導電膜7を硬化させていた。

【0009】 しかし、上記異方性導電膜7を硬化させるためには、一般に30秒以上の加圧、加熱を行わなければならない。このため、一つの基板5上に数十個の半導体素子1…を実装する場合には、スループットが高められないということがあった。

【0010】 この発明はこのような事情に鑑みて成されたもので、多数個の半導体素子を基板に高密度に実装する場合において、実装のスループットが高い半導体素子の実装方法を提供することを目的とするものである。

## 【0011】

【課題を解決するための手段】 この発明は、パンプを有する半導体素子を配線パターンが形成された基板に熱硬化性の異方性導電膜を介してポンディングする半導体素子の実装方法において、複数個の半導体素子を異方性導電膜を介して上記基板の所定の位置に仮付けする仮付け工程と、上記複数個の半導体素子を上記基板に一括的に加圧しつつ加熱することで上記半導体素子のパンプと基板の配線パターンとを電気的に接続させるポンディング工程とを有することを特徴とする。

## 【0012】

【作用】 このような構成によれば、基板に複数個の半導体素子を異方性導電膜を介して仮付けした後に、これら複数の半導体素子を一括的に加熱加圧することにより、異方性導電膜を硬化させる。このことで複数の半導体素子を基板上に一括的に実装することができる。

## 【0013】

【実施例】 以下、この発明の一実施例を図1を参照して説明する。なお、従来例と同一の構成要素には同じ符号を付して説明を省略する。

【0014】 この発明の実装方法が適用されるポンディング装置は、仮付け工程を行う仮付けステージ10とポンディング工程を行うポンディングステージ11とを有する。

【0015】 図中12は基板搬送装置である。この基板搬送装置12は、上面を載置面とするテーブル13を有し、このテーブル13の載置面には基板5が素子搭載面5aを上方に向けた状態で保持される。そして、基板搬送装置12は、仮付けステージ10およびポンディングステージ11において、基板5をXY方向に位置決め駆動すると共に、この基板5を仮付けステージ10からポンディングステージ11へと搬送する。

【0016】 上記テーブル13に載置される基板5の素子搭載面5aには上記半導体素子1のパンプ3（図2に

3

示す)と接続される多数の配線パターン6が形成されている。そしてこれらの配線パターン6上にはあらかじめ異方性導電膜7が貼付されている。

【0017】上記仮付けステージ10の上方には素子供給装置14が設けられている。この素子供給装置14は、複数個の半導体素子1…を収納したトレイ15を位置決め駆動する供給テーブル16と、上記半導体素子1をトレイ15から取り出して所定の位置Aに供給するピックアップノズル17を有する。

【0018】上記ピックアップノズルは基端部17aを中心として水平方向に回動自在に設けられていて、先端部17bに半導体素子1を真空吸着した後に回動駆動されることで、この半導体素子1を後述する吸着ノズル23が位置決めされる位置Aに搬送する。

【0019】また、上記トレイ15に収納された複数個の半導体素子1は、それぞれ、バンプ3が形成された素子形成面を上方に向かた状態で載置されていて、この状態で上記ピックアップノズルに吸着保持されて位置Aに供給される。

【0020】上記位置Aの下方には、半導体素子1を反転させ、素子形成面を下方に向かせる反転装置19が設けられている。この反転装置19はアーム状の回転体20を有する。この回転体20は長手方向中途部を水平軸21によって枢支され、長手方向が垂直になるように180度ずつステップ式に回転駆動されるようになっている。(図に矢印イで示す)

【0021】さらに、上記回転体20の長手方向両端には、回転体20の長手方向外方に突出自在なる一对の吸着ノズル23、23が設けられている。すなわち、これらの吸着ノズル23、23は上記水平軸21に対して点対称に設けられていて、上記一方の吸着ノズル23が上方に位置し上記位置Aに対向しているときには、他方の吸着ノズル23は下方に位置して基板5と対向するようになっている。

【0022】位置Aにおいて、上記ピックアップノズル17によって、一方の吸着ノズル23に半導体素子1がその素子形成面を上方に向かた状態で受け渡されると、上記反転装置19は矢印イで示すように180度ステップ式に回動駆動され、半導体素子1の素子形成面を下方に向かた状態に反転させる。このことで上記半導体素子1の素子形成面は基板5と向かいあわせられる。

【0023】半導体素子1がその素子形成面を下方に向かた状態で位置決めされたならば、上記基板5はXY方向に駆動され、上記半導体素子1のバンプ3とそのバンプ3が接合される配線パターン6とが対向位置決される。

【0024】そして、上記一方の吸着ノズル23は下方に突出駆動され、上記半導体素子1のバンプ3を上記配線パターン6に貼付された異方性導電膜7に当接させる。この状態で吸引力を解除すると、上記異方性導電膜

4

7の上面は粘着力を有するので上記半導体素子1は基板5に仮付けされる。

【0025】一方、上述の動作と並行して、上記ピックアップノズル17は、次に装着される半導体素子1を位置Aに供給する。この半導体素子1は他方の吸着ノズル23によって吸着保持され、上述の一方の吸着ノズル23と同じ動作を行うことで、その半導体素子1を上記基板5上の別の位置に装着する。

【0026】一方の吸着ノズル23と他方の吸着ノズル23がこのような動作を交互に繰り返すことで、上記基板5には多数個の半導体素子1…が異方性導電膜7を介して順次仮付けされる。このことで仮付け工程が終了する。仮付け工程を終えた基板5は基板搬送装置12によってポンディングステージ11に搬送され、所定の位置に位置決めされる。

【0027】このポンディングステージ11の上方には、基板5に仮付けされた複数個の半導体素子1…を一括的にポンディングするポンディングヘッド25が上下移動自在に設けられている。このポンディングヘッド25の下端面は、平坦に形成され、複数個の半導体素子1…を一度にポンディングすることができる大きさの加圧面25aとなっている。

【0028】さらに、このポンディングヘッド25の下端部内にはこのポンディングヘッドを加熱する加熱ヒータ27が埋設されている。この加熱ヒータ27は制御部28に接続され、この制御部28の出力信号によって作動するようになっている。

【0029】また、上記ポンディングヘッド25の下端部にはこのポンディングヘッド25の温度を測定する温度センサ29が設けられている。この温度センサ29は温度検知部30に接続され、上記ポンディングヘッド25内の温度が検知される。そして、この温度検知信号は上記制御部28に入力されるようになっている。

【0030】すなわち、上記制御部28は、上記温度検知部30から検知信号が入力されると、その検知信号に基づいて上記加熱ヒータ27を作動させる。このことにより加熱ヒータ27は上記ポンディングヘッド25の下端部の温度を上記異方性導電膜7を硬化させるのに最適な温度、例えば190度に加熱保温する。

【0031】上記ポンディングヘッド25は下端部の温度を190度に保った状態で、下方に駆動され、上記多数個の半導体素子1…を上記基板5の方向に一定の圧力で押し付ける。そして、異方性導電膜7が硬化するのに必要な時間、例えば30秒間この状態を保つ。このことで上記異方性導電膜7は上記バンプ3と配線パターン6とを電気的に接続した状態で硬化する。

【0032】30秒経過したならば、上記加熱ヒータ27による加熱は停止され、上記基板5および半導体素子1…は自然冷却される。この間、上記ポンディングヘッド25は上記半導体素子1…を上記基板5に押し付けた

状態を保っている。上記ポンディングヘッド25の温度が約100度以下に下がったならば、ポンディングヘッド25は上昇駆動される。このことで、一つの基板に対する多数個の半導体素子1…を一括的にポンディングするポンディング工程が終了する。

【0033】このような構成によれば、異方性導電膜7の硬化を一つ一つの半導体素子1について行うのではなく、多数個の半導体素子1…を基板5に一旦仮付けした後に、一括的に硬化させるようにしたので、ポンディング\*

$$T = (a \times 4) + b + c + (d \times 4) + (e \times 4) + (30 \times 4)$$

本発明では、

$$T = (a \times 4) + (b \times 2) + (c \times 2) + (d \times 4) + (e \times 6) + 30$$

その差は、

$$90 - (b + c) - 2 \times e \quad (\text{秒})$$

である。仮にb、cが共に5秒、eが1秒であるとする。

$$90 - (5 + 5) - 2 \times 1 = 78 \quad (\text{秒})$$

本発明の方が従来の技術に比較して78秒も早いということになる。

【0035】これを一つの半導体素子についてみれば、 $78 / 4 = 19.5$  (秒)となる。このことより、従来に比べ本発明の半導体素子の実装方法はスループットがかなり高いといえる。

【0036】また、上述のような構成によれば、加熱により異方性導電膜7を硬化させたのちに、ポンディングヘッド25を直ぐに上昇駆動するのではなく、上記半導体素子1および基板5の温度が所定の温度(100度以下)に低下するまで加圧状態を保つようにしたので、冷却により基板5と半導体素子1の収縮量に差が生じて異方性導電膜7内に残留応力が発生しても、この残留応力によって上記半導体素子1が基板5から浮き上がるのを防止することができる。このことにより、パンプ3と配線パターン6が離間して導電不良が生じることを有効に防止することができる。なお、この発明は上記一実施例に限定されるものではなく、発明の要旨を変更しない範囲で種々変形可能である。例えば、上記仮付けステージ10とポンディングステージ11は一台の装置に組み込まれていても良いし、別々の装置に設けられていても良い。

【0037】また、上記一実施例においては、異方性導電膜7を硬化させた後に、一定時間加圧状態を保持するようにしたが、異方性導電膜7を硬化させた後に直ぐにポンディングヘッド25を上昇させ、加圧状態を解除するようにしても良い。

【0038】また、上記異方性導電膜7の硬化温度は190度としたがこれは異方性導電膜7の特性により変化するものである。また、この硬化時間も上記一実施例においては30秒としたが、この硬化時間も異方性導電膜

\* グ時間が短縮される。例えば、一つの基板に4つのIC(半導体素子1)を実装する場合のポンディング時間を従来例と比較してみると以下のようになる。

【0034】例えば、ICの搬送時間をa秒、基板のコード時間をb秒、アンロード時間をc秒、ICの位置合わせ時間をd秒、ポンディングヘッドの上下動作時間をe秒とする。そして、異方性導電膜の硬化時間が30秒すると、ポンディング時間Tは、

従来技術では、

$$T = (a \times 4) + (b \times 2) + (c \times 2) + (d \times 4) + (e \times 6) + 30$$

7の特性によって変化するものであり、例えば60秒としても良い。

【0039】さらに、上記一実施例においては加圧状態を解除する温度を100度以下としたが、これは、その時の外気の温度および基板5の余熱温度によって変更される。

【0040】また、上記一実施例においては、半導体素子1を基板5に仮付けするのに反転装置19を用いたが、このような反転装置19に限定されるものではなく、要は半導体素子1を素子搭載面を下方に向かた状態で基板5に仮付けできる構成の装置であれば良い。

【0041】さらに、上記一実施例においては、複数の半導体素子を一つ一つ反転させる反転装置19を用いたが、すべての半導体素子を一度に反転させ、上記基板に一括的に仮付けするような反転装置を用いても良い。

【0042】

【発明の効果】以上説明したように、この発明の半導体素子の実装方法は、複数個の半導体素子を上記基板の所定の位置に異方性導電膜を介して仮付けした後に、上記複数個の半導体素子を上記基板に一括的に加圧しつつ加熱することで上記半導体素子のパンプと基板の配線パターンとを電気的に接続させる。

【0043】このような構成によれば、複数の半導体素子について異方性導電膜を硬化させる作業が一回ですむので、作業工程が簡略化されると共に、実装のスループットを高めることができる。

【図面の簡単な説明】

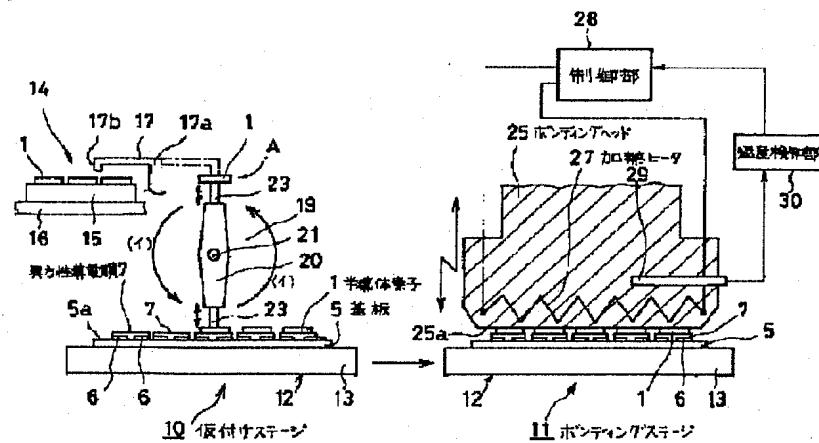
【図1】この発明の一実施例を示す概略構成図。

【図2】異方性導電膜を用いた一般的なフリップチップ方式の実装構造を示す側断面図。

【符号の説明】

1…半導体素子、5…基板、6…配線パターン、7…異方性導電膜、10…仮付けステージ、11…ポンディングステージ、19…反転装置、25…ポンディングヘッド、27…加熱ヒータ。

[図 1]



[図2]

